

ENGLISH TRANSLATION OF
JAPANESE LAID-OPEN PATENT APPLICATION NO. 6-37309

[Title of Invention] METHOD OF MANUFACTURING SEMICONDUCTOR
5 DEVICE

[Claims]

1. A method of manufacturing a semiconductor device, comprising the steps of:

forming a field oxide film on a semiconductor
10 substrate having a first conductive type;

forming a gate insulation film on a desired region on the semiconductor substrate;

forming a gate electrode on the gate insulation film;

15 by using the gate electrode as a mask, ion-introducing impurities having the first conductive type into the semiconductor substrate in at least two oblique directions from around the gate electrode so as to form a high concentration layer having a desired concentration
20 distribution;

by using the gate electrode as the mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as to form an n- type source/drain diffusion layer;

25 forming side wall spacers at both-side parts of the gate electrode, respectively; and

by using the side wall spacers and the gate electrode as a mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as
30 to form an n+ type source drain diffusion layer.

2. A method of manufacturing a semiconductor device, comprising the steps of:

forming a field oxide film on a semiconductor
35 substrate having a first conductive type;

forming a gate insulation film on a desired region on the semiconductor substrate;

forming a gate electrode on the gate insulation film;

by using the gate electrode as a mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as to form an n- type source/drain diffusion layer;

forming side wall spacers at both-side parts of the gate electrode;

by using the side wall spacers and the gate electrode as a mask, ion-introducing impurities having the first conductive type into the semiconductor substrate in at least two oblique directions from around the gate electrode and the side wall spacers so as to form a high concentration layer having a desired concentration distribution; and

by using the side wall spacers and the gate electrode as the mask, ion-introducing impurities having the second conductive type into the semiconductor substrate so as to form an n+ type source/drain diffusion layer.

3. The method according to claim 1 or 2, wherein in the step of ion-introducing the impurities having the first conductive type, the impurities having the first conductive type are ion-introduced into the semiconductor substrate in a vertical direction, and then, a heat process is performed so as to diffuse the impurities and form the high concentration layer having the desired concentration distribution.

4. The method according to claim 1, 2 or 3, wherein at a predetermined region shallower than a connection depth, the high concentration layer has the concentration distribution in which the concentration becomes the highest, and the concentration distribution becomes wider with respect to a channel layer extending direction.

[Detailed Description of the Invention]
[0001]

The present invention relates to a MOS type

transistor and a manufacturing method thereof.

[0002]

In a transistor having a MOS (metal oxide semiconductor) LDD (lightly doped drain) structure, a high voltage at a boundary surface between a source/drain diffusion layer and a channel region is eased in order to improve reliability of the transistor. For this reason, low voltage source/drain diffusion layers 16 are formed near a gate electrode 17 at the inner sides of high voltage source/drain diffusion layers 17 (Fig. 10).

[0003]

However, generally, an impurity concentration of the source/drain diffusion layer is substantially lower than an impurity concentration of the channel region. Accordingly, by extension of a depletion layer from the source/drain diffusion layer, an effective channel length becomes shorter. When a gate length becomes shorter, the change of a threshold voltage V_{th} caused by the change of the gate length becomes larger, and punch-through occurs. In order to suppress the extension of the depletion layer from the source/drain diffusion layer, an impurity concentration of a semiconductor substrate may be increased to a certain degree. There are a known structure (Fig. 11) in which the impurity concentration of the entire semiconductor substrate is increased, and a known structure (Fig. 12) in which only an approximately quadrilateral-shaped region directly below the gate is formed as the high concentration layer region 18 only where the impurity concentration of the semiconductor substrate is high.

[0004]

[Problems to be Solved by the Invention]

In the conventional structure in which the impurity concentration of the entire semiconductor substrate is increased, when a substrate bias is applied, the change of the threshold voltage V_{th} is undesirably increased.

[0005]

Furthermore, in the structure in which the impurity concentration of the approximately quadrilateral-shaped region

directly below the gate is increased, this increased impurity concentration layer is formed by ion-introducing before the gate is formed. At the time of forming this increased impurity concentration layer (the high impurity concentration layer), the position of the high impurity concentration layer is determined. The position relation between the high impurity concentration layer and the subsequently formed gate can be shifted. When the position relation between the high impurity concentration layer and the gate electrode is shifted, it becomes difficult to manufacture a transistor having a desirable V_{th} .

[0006]

With the view of the foregoing, it is an object of the present invention to provide a MOS transistor that can suppress a punch-through and has a low scatter of the V_{th} , and a manufacturing method thereof.

[Means to Solve the Problems]

According to one aspect of the present invention, there is provided a method of manufacturing a semiconductor device, comprising the steps of:

forming a field oxide film on a semiconductor substrate having a first conductive type;

forming a gate insulation film on a desired region on the semiconductor substrate;

forming a gate electrode on the gate insulation film;

by using the gate electrode as a mask, ion-introducing impurities having the first conductive type into the semiconductor substrate in at least two oblique directions from around the gate electrode so as to form a high concentration layer having a desired concentration distribution;

by using the gate electrode as the mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as to form an n-type source/drain diffusion layer;

forming side wall spacers at both-side parts of the

gate electrode, respectively; and

by using the side wall spacers and the gate electrode as a mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as to form an n+ type source drain diffusion layer.

[0008]

According to another aspect of the present invention, there is provided a method of manufacturing a semiconductor device, comprising the steps of:

forming a field oxide film on a semiconductor substrate having a first conductive type;

forming a gate insulation film on a desired region on the semiconductor substrate;

forming a gate electrode on the gate insulation film;

by using the gate electrode as a mask, ion-introducing impurities having a second conductive type into the semiconductor substrate so as to form an n- type source/drain diffusion layer;

forming side wall spacers at both-side parts of the gate electrode;

by using the side wall spacers and the gate electrode as a mask, ion-introducing impurities having the first conductive type into the semiconductor substrate in at least two oblique directions from around the gate electrode and the side wall spacers so as to form a high concentration layer having a desired concentration distribution; and

by using the side wall spacers and the gate electrode as the mask, ion-introducing impurities having the second conductive type into the semiconductor substrate so as to form an n+ type source/drain diffusion layer.

[0009]

[Effect]

According to the present invention, the high concentration layer having an impurity concentration higher than that of the semiconductor substrate exist at the local position so as to isolate the depletion layer that extends

from the source/drain diffusion layer, so that when the gate electrode is in an ON state, it is possible to suppress punch-through between the source and the drain.

[0010]

5 Furthermore, according to the present invention, the impurity concentration only in the necessary region of the semiconductor substrate is increased, and the impurity concentration in the other regions of the semiconductor substrate is relatively low. With this structure, it is possible to suppress the change of the V_{th} (that is caused by the substrate bias effect) to a low value compared to the structure in which the impurity concentration of the entire semiconductor substrate is increased.

[0011]

15 In addition, according to the present invention, after the gate electrode is formed, ions are introduced to form the high impurity concentration layer, so that there is a low possibility that the position relation between the gate electrode and the high impurity concentration layer is shifted. Thereby, the scatter of the V_{th} can be small.

[Embodiments]

Embodiments of the present invention will be described with reference to the drawings. Fig. 1 shows a cross-sectional view of a structure of a LDD type MOSFET according to the present invention.

[0013]

30 A field oxide film 12 having a thickness of about 5000 angstroms, and a gate insulation film 13 are formed on a P type Si substrate 11. A gate electrode 14 is formed on the gate insulation film 13. Side wall spacers 15 are formed at the both sides of the gate electrode 14, respectively. An n-type diffusion layer 16 and n+ type diffusion layer 17 that function as an source/drain diffusion layer electrode are formed in the P type Si substrate 11. A high concentration layer 18 that is the same conductive type as the Si substrate 11 is formed at the region directly below the gate electrode 14. At the deep position, the width of the high concentration

layer 18 is narrow.

(Embodiment 1)

Next, a manufacturing process will be described according to a first embodiment of the present invention.

5 First, the field oxide film 12 having the thickness of 5000 angstroms is formed on the P type Si substrate by the Locos method.

[0014]

10 Next, an insulation film having a thickness of 100 angstroms such as a silicon oxide film or a silicon nitride film is formed, and patterning by photolithography and reaction ion etching is performed to form the gate insulation film 13 (Fig. 2(a)). Furthermore, the gate electrode 14 having a thickness of 2000 angstroms is formed (Fig. 2(c)).

15 [0015]

Next, as one example, B^+ is introduced into the Si substrate 11 in the oblique direction from around the gate electrode at an introducing amount of 1×10^{13} ions/cm³ at an acceleration voltage of 100 KeV to form directly below the gate electrode 14 the inverted-triangle-shaped high impurities concentration layer 18 that has the same conductive type of the Si substrate 11 (Fig. 3(a)). The extension of a depletion layer from the source/drain diffusion layer is restricted by the high concentration layer 18. Accordingly, it is possible to prevent the V_{th} reduction that accompanies the gate length reduction.

[0016]

Next, for example, ions As^+ are introduced into the Si substrate 11 from the vertical direction at an introducing amount of 1×10^{14} ions/cm³ at an acceleration voltage 45 KeV to form the n- type source/drain diffusion layer 16 (Fig. 3(b)).

[0017]

Next, a SiO₂ film having a thickness of 500 angstroms is formed on the Si substrate 11 by the CVD method, and the anisotropic etching such as the RIE is performed to form at the both-side wall parts of the gate electrode 14 the side wall spacers 15 including the SiO₂ film (Fig. 4(a)).

[0018]

Next, by using the side wall spacers 15 and the gate electrode 14 as a mask, As^+ ions or the like are introduced into the Si substrate 11 from the vertical direction at an introducing amount of 5×10^{15} ions/cm³ at an acceleration voltage 40 KeV to form the n+ type source/drain diffusion layer 17. Fig. 5 shows distribution of the high concentration layer on the substrate according to the present invention, and Fig. 5(a) shows the substrate impurities concentration with respect to the D-D' direction indicated by the dashed line of Fig. 6. At the deep position in the substrate, the impurities concentration has the conventional value. The impurities concentration becomes high only in the center part of the channel region. Furthermore, Fig. 5(b) shows the substrate impurities concentrations with respect to the A-A', B-B', and C-C' directions indicated by the dashed lines of Fig. 6. The width of the high concentration layer becomes smaller at the deeper position in the depth direction of source/drain diffusion layer.

Thus, the high concentration layer is formed such that the substrate impurities concentration becomes high only in the region near the channel layer. In this manner, it is possible to effectively suppress punch-through while controlling the change in the V_{th} to be small. The change in the V_{th} is caused by the substrate bias effect.

[0020]

The subsequent process is omitted, but similar to the manufacturing process for the general MOS transistors, an interlayer insulation film is formed, a contact hole is formed, and metal wiring is formed to form a MOS type transistor.

(Second Embodiment)

A manufacturing process will be described according to a second embodiment of the present invention.

[0021]

Similar to the first embodiment, the gate electrode 14 is formed (Fig. 2(b)), and As^+ ions or the like are introduced into the Si substrate 11 from the vertical

direction at an introducing amount of 1×10^{14} ions/cm³ at an acceleration speed of 45 KeV to form the n- type source/drain diffusion layer 16. Next, the SiO₂ film is formed by the CVD method, and the patterning by the RIE is performed to form the side wall spacer 15 (Fig. 7(a)).

[0022]

By using the side wall spacers 15 and the gate electrode 14 as a mask, B⁺ ions may be introduced into the Si substrate in the oblique direction from around the gate electrode and the side wall spacers at an introducing amount of 1×10^{13} and at an acceleration 100 KeV to form directly below the gate electrode 14 the elliptic high impurity concentration layer 18 that is the same conductive type as the substrate. The extension of the depletion layer from the source/drain diffusion layer is restricted by this high concentration layer 18, so that the V_{th} reduction that accompanies the gate length reduction can be prevented.

[0023]

In the subsequent process, the As⁺ ions are introduced in the same condition as that of the first embodiment so that the n⁺ type source/drain diffusion layer 17 can be formed in the Si substrate 11 (Fig. 8).

[0024]

According to the second embodiment, to the widths of the side walls, the mask at the time of the ion introducing is wider than the mask of the first embodiment, so that the high concentration layer 18 becomes elliptic, and the width of the high concentration layer 18 becomes smaller at the channel side. This elliptical high concentration layer is effective particularly in forming fine transistors.

(Third Embodiment)

Next, a manufacturing process will be described according to a third embodiment of the present invention. In the third embodiment, in order to form an inverted triangle-shaped or elliptic high concentration layer, without performing the oblique introducing of ions, a heat diffusion process is performed after introducing ions.

[0025]

Similar to the first embodiment, the gate electrode 14 is formed (Fig. 2(b)), and then, by using the gate electrode 14 as a mask, B⁺ ions may be introduced into the Si substrate 11 in the vertical direction at an ion introducing amount of 1×10^{13} ions/cm³ at an acceleration voltage of 100 KeV (Fig. 9(b)). Next, a heat process is performed at a temperature of 850 °C for 100 to 200 minutes to diffuse impurity ions. In this manner, the inverted-triangle-shaped high concentration layer 18 is formed (Fig. 9(b)).

[0026]

Next, As⁺ ions may be introduced into the Si substrate 11 in the vertical direction at an ion introducing amount of 1×10^{14} ions/cm³ at an acceleration voltage of 45 KeV to form the n- type source/drain diffusion layer 16 (Fig. 3(b)).

[0027]

Next, a SiO₂ film having a thickness of 500 angstroms is formed on the Si substrate 11 by the CVD method, and the anisotropic etching such as the RIE is performed to form the side wall spacers 15 at the both-side wall parts of the gate electrode 14 (Fig. 4(a)). The side wall spacers 15 include the SiO₂ film.

[0028]

Next, by using the side wall spacers 15 and the gate electrode 14 as a mask, As⁺ ions may be introduced into the Si substrate 11 in the vertical direction at an introducing amount of 5×10^{15} ions/cm³ at an acceleration voltage of 40 KeV to form the n+ type source/drain diffusion layer 17.

[0029]

The above-described B⁺ ion introducing and heat process for the diffusion may be performed after the side wall spacers are formed. In this case, the high concentration layer 18 has the shape near the elliptic shape, and the width of the high concentration layer 18 becomes smaller at the channel side.

[0030]

The subsequent process is omitted, but similar to the manufacturing method of the general MOS transistors, the interlayer insulation film is formed, the contact hole is
5 formed, and the metal wiring is formed to form the MOS type transistor.

[0031]

The above-described embodiments are directed to the N-channel type transistor, but may be applied to a P-channel
10 type transistor. In this case, the conductive type of the region near the substrate surface is the N type, B is replaced with P or As, and As is replaced with B or BF, for example.

[0032]

[Advantages of the Invention]

15 As described above, according to the present invention, the high impurities concentration layer is formed directly below the gate electrode such that the width of the high impurities concentration layer becomes smaller at the deeper position in the substrate. Accordingly, it is possible
20 to suppress the change of the V_{th} without unnecessarily increasing the impurity concentration of the substrate. The change of the V_{th} is caused by the substrate bias effect.

[0033]

Furthermore, the high concentration layer is formed
25 after the gate electrode is formed. Accordingly, it becomes harder for the position relation between the high concentration layer and the gate electrode to be shifted. Therefore, it is possible to suppress the scatter of the V_{th} of the transistor.

30 [Brief Description of the Drawings]

Fig. 1 is a cross-sectional view of a semiconductor device according to the present invention.

Fig. 2 shows a manufacturing process according to a first embodiment of the present invention.

35 Fig. 3 shows the manufacturing process according to the first embodiment of the present invention.

Fig. 4 shows the manufacturing process according to

the first embodiment of the present invention.

Fig. 5 shows a distribution of a high concentration layer of the semiconductor device according to the present invention.

5 Fig. 6 shows the positions of the distribution of the high concentration layer shown in Fig. 5.

Fig. 7 shows a manufacturing process according to a second embodiment of the present invention.

10 Fig. 8 shows the manufacturing process according to the second embodiment of the present invention.

Fig. 9 shows a manufacturing process according to a third embodiment of the present invention.

Fig. 10 is a cross-sectional view of a conventional LDD-structured MOS type transistor.

15 Fig. 11 shows an example of forming of the high concentration for preventing punch-through in the conventional MOS transistor.

20 Fig. 12 shows an example of forming of the high concentration for preventing punch-through in the conventional MOS transistor.

[Description of the Reference numbers],

11 semiconductor substrate

12 field oxide film

13 gate insulation film

25 14 gate electrode

15 side wall spacer

16 n- type source/drain diffusion layer

17 n+ type source/drain diffusion layer

18 high concentration layer

30

ABSTRACT

[Object] It is an object of the present invention to provide a MOS type transistor that can prevent punch-through and has a low scatter of a threshold voltage V_{th} .

5 [Structure]

In a process of forming the MOS type transistor, a gate electrode 14 is formed, and impurities are then obliquely or vertically introduced. After that, thermal diffusion is performed to form a high impurity concentration layer 18
10 having the same conductive type as that of a substrate. The high impurity concentration layer 18 is formed such that the layer 18 having a high impurity concentration becomes wider near a channel layer directly below the gate electrode 14.

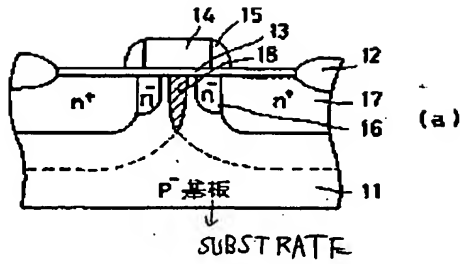
[Advantages]

15 In preventing punch-through, an impurity concentration of the entire substrate is not unnecessarily increased, and the impurity concentration only in the region near the channel layer is increased. Thereby, it is possible to provide the MOS type transistor that has a low scatter of
20 the threshold voltage.

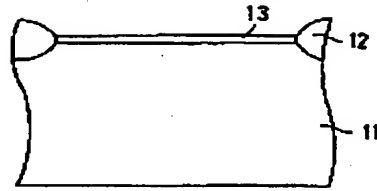
(5)

特開平6-37309

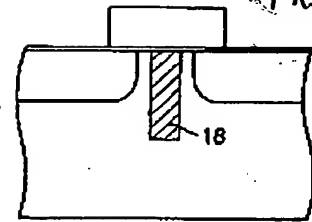
【図1】



【図2】

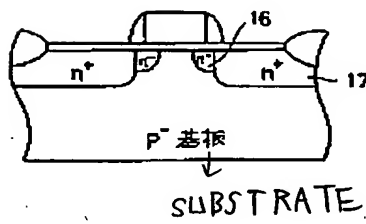


【図12】

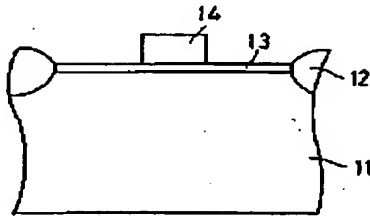


PRIOR ART

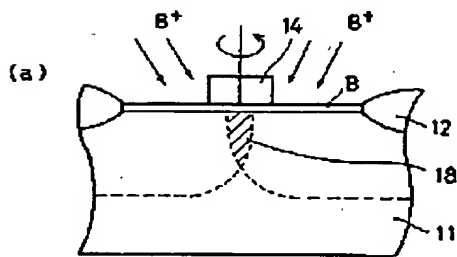
【図10】



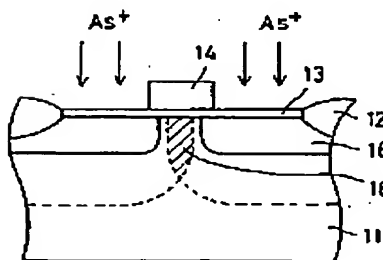
(b)



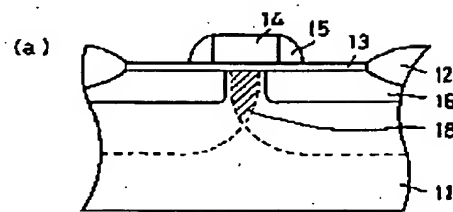
【図3】



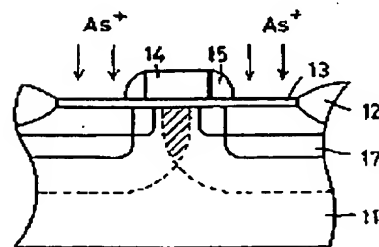
(b)



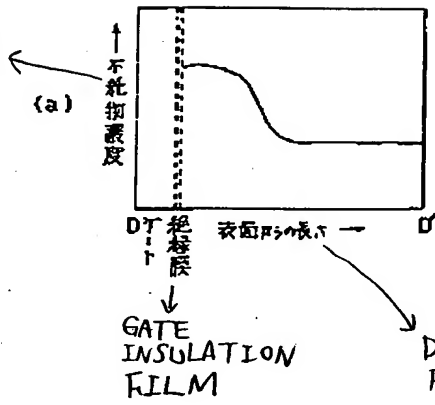
【図4】



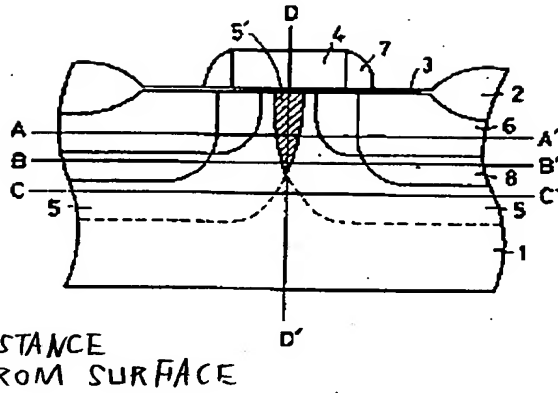
(b)



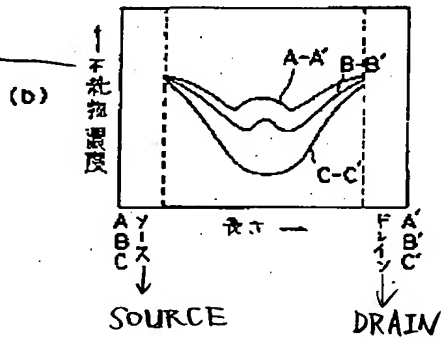
【図5】



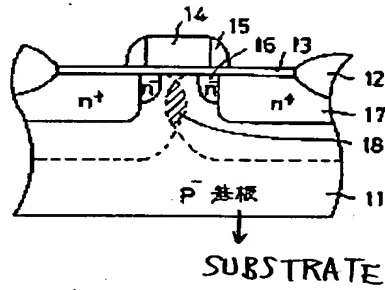
【図6】



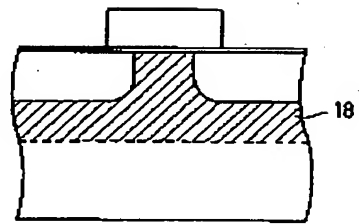
IMPURITY CONCENTRATION



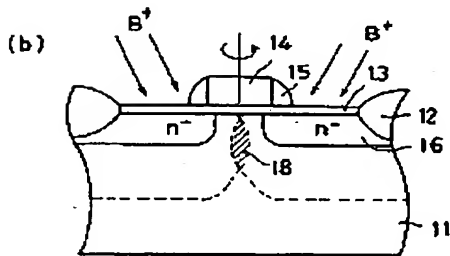
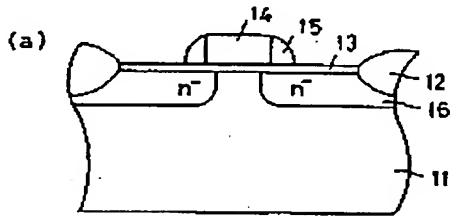
【図8】



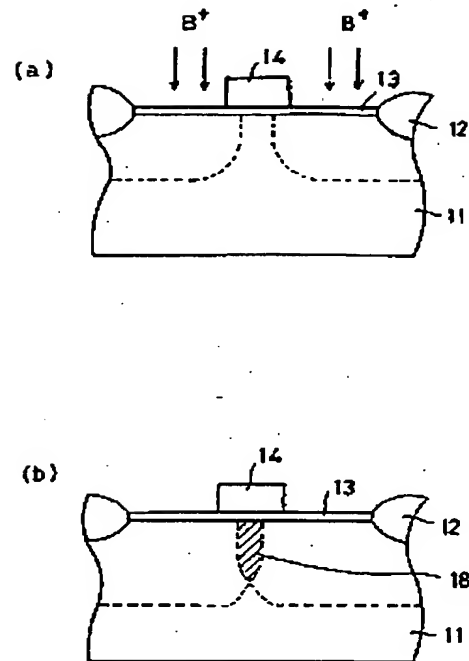
【図11】



【図7】



【図9】



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-37309

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵
H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 78

3 0 1 X

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平4-189150

(22)出願日 平成4年(1992)7月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 野竹 由香里

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 稗田 克彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 寺内 衛

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(74)代理人 弁理士 則近 憲佑

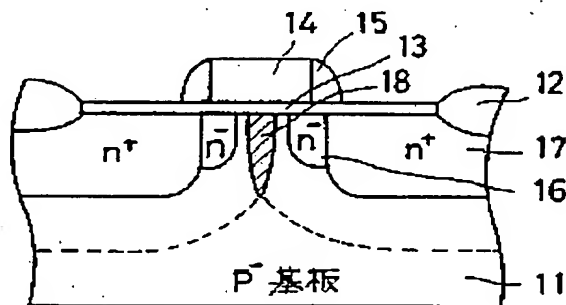
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 パンチスルーを防ぎ、しきい値電圧 V_{th} のばらつきの少ないMOS型トランジスタを提供することを目的とする。

【構成】 MOS型トランジスタの形成工程において、ゲート電極14形成後に不純物の回転斜めイオン注入或いは垂直イオン注入後の熱拡散により、基板と同一導電型の高濃度層18を、ゲート電極14直下のチャネル層付近の濃度が高く且つ分布の幅が広がるように形成する。

【効果】 パンチスルーを防ぐために基板全体の不純物濃度を不必要に増加させず、チャネル層付近の不純物濃度のみを高くするため、しきい値電圧 V_{th} のばらつきの少ないMOS型トランジスタを提供することが可能となる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上にフィールド酸化膜を形成する工程と、この半導体基板上の所望の領域にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体基板に第1導電型の不純物を前記ゲート電極周囲の少なくとも2つの方向より斜めにイオン注入し、所望の濃度分布の高濃度層を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程と、前記ゲート電極の側壁部にサイドウォールスペースを形成する工程と、このサイドウォールスペースとゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 第1導電型の半導体基板上にフィールド酸化膜を形成する工程と、この半導体基板上の所望の領域にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程と、このゲート電極の側壁にサイドウォールスペースを形成する工程と、このゲート電極及びサイドウォールスペースをマスクとして前記半導体基板に第1導電型の不純物を前記ゲート電極及びサイドウォールスペースの周囲の少なくとも2つの方向より斜めにイオン注入し、所望の濃度分布の高濃度層を形成する工程と、このサイドウォールスペースとゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記第1導電型の不純物をイオン注入する工程において、この不純物を基板に対して垂直にイオン注入した後、熱処理により拡散させ所望の濃度分布の高濃度層を形成することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記高濃度層の濃度分布は接合深さより浅い所定の領域で、最も高くなっており、チャンネル層延在方向の分布の幅も広くなることを特徴とする請求項1、2又は3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS型トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 MOS (Metal Oxide Semiconductor)型LDD (Lightly-doped drain)構造のトランジスタにおいてはソース/ドレイン拡散層とチャンネル領域との境界面の高電圧を緩和して、トランジスタの信頼性を向上さ

せるために、高電圧ソース/ドレイン拡散層17のゲート電極よりの内側に低電圧ソース/ドレイン拡散層16が形成されている(図10)。

【0003】ところが、一般にはソース/ドレイン拡散層の不純物濃度はチャンネル領域の不純物濃度よりかなり高いので、ソース/ドレイン拡散層から空乏層が伸びることにより、実効チャンネル長は短くなる。ゲート長が短くなるとゲート長の変動によるしきい値電圧、 V_{th} の変動が大きくなり、パンチスルーが起こる。このソース/ドレイン拡散層からの空乏層の伸びを抑えるためには、半導体基板の不純物濃度をある程度高めれば良い。これまでに、基板の不純物濃度を全体的に高くした構造(図11)、ゲート直下の四角形に近い領域にのみ基板の不純物濃度が高い高濃度層領域18が形成された構造などが知られている(図12)。

【0004】

【発明が解決しようとする課題】従来の基板の不純物濃度を全体的に高めた構造では、基板バイアスをかけた場合に、しきい値電圧、 V_{th} の変動の度合いが大きくなってしまおうという問題がある。

【0005】また、ゲート直下の四角形に近い領域の不純物濃度を高くした構造では、この不純物高濃度層はゲート形成前のイオン注入により形成され、その時点でこの高濃度層の位置が確定するために、その後で形成されるゲートとの位置関係がずれてしまおうという問題が生じる。ゲート電極とこの高濃度層との位置関係がずれると、所望の V_{th} を持つトランジスタの製造が困難となる。

【0006】本発明は上記課題に鑑みてなされたものであり、その目的とするところは、パンチスルーを抑制することができ、 V_{th} のばらつきの少ないMOS型トランジスタ及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】本願第1の発明は第1導電型の半導体基板上にフィールド酸化膜を形成する工程と、この半導体基板上の所定の領域にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体基板に第1導電型の不純物を前記ゲート電極周囲の少なくとも2つの方向より斜めにイオン注入し、所望の濃度分布の高濃度層を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に第2導電型の不純物イオンを注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程と、前記ゲート電極の側壁部にサイドウォールスペースを形成する工程と、このサイドウォールスペースとゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0008】また、本願第2の発明は第1導電型の半導

3

体基板上にフィールド酸化膜を形成する工程と、この半導体基板上の所望の領域にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程と、このゲート電極の側壁にサイドウォールスペースを形成する工程と、このゲート電極及びサイドウォールスペースをマスクとして前記半導体基板に第1導電型の不純物を前記ゲート電極及びサイドウォールスペースの周囲の少なくとも2つの方向より斜めにイオン注入し、所望の濃度分布の高濃度層を形成する工程と、このサイドウォールスペースとゲート電極をマスクとして前記半導体基板に第2導電型の不純物をイオン注入し、 n^+ 型のソース/ドレイン拡散層を形成する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0009】

【作用】本発明によると、基板の不純物濃度より高い高濃度層がソース/ドレイン拡散層からの空乏層を切り離すような位置に局在するので、ゲート電極がON時のソース/ドレイン間のパンチスルーを抑制することが可能となる。

【0010】また、パンチスルーを抑制するために必要な領域のみ基板の不純物濃度を高くし、それ以外の領域は比較的基板の不純物濃度を低く保つ構造であるため、半導体基板全面に渡って不純物濃度を高くした場合に比べて、基板バイアス効果による V_{th} の変動を低く抑えることができる。

【0011】また、ゲート電極形成後に高濃度層形成のためのイオン注入を行うため、この高濃度層とゲート電極との位置関係にずれが生じにくい。よって、 V_{th} のばらつきを小さくすることが可能となる。

【0012】

【実施例】以下、本発明の実施例について、図面を参照しながら詳細に説明する。図1は本発明のLDD型MOSFETの構造断面図である。

【0013】P型Si基板11上に膜厚5000オングストローム程度のフィールド酸化膜12及びゲート絶縁膜13が形成され、この上にゲート絶縁膜13を介してゲート電極14が形成されている。このゲート電極14の側壁にはサイドウォールスペース15が形成されている。また、P型Si基板11内にはソース/ドレイン拡散層電極となる n^+ 型の拡散層16と n^+ 型の拡散層17が形成されている。ゲート電極14直下のSi基板11内には基板と同一導電型の高濃度層18が形成され、基板の深い所ではこの高濃度層の幅が狭くなっている。

（実施例1）次に、本発明の第1の実施例の製造工程を説明する。まず、P型Si基板11上にLocos法により、フィールド酸化膜12を5000オングストロームの厚さに形成する。

4

【0014】次にシリコン酸化膜又はシリコン窒化膜等の絶縁膜を100オングストロームの厚さに形成し、フォトリソ法及び反応性イオンエッチング法によりパターンニングをしてゲート絶縁膜13を形成する（図2（a））。さらにゲート電極14を2000オングストロームの厚さに形成する（図2（b））。

【0015】次に、例えば B^+ イオンを注入量 $1 \times 10^{11} \text{ ions/cm}^2$ 、加速電圧100 KeVでゲート電極の周囲から斜め方向にSi基板11内に注入することにより、基板と同じ導電型の不純物高濃度層18をゲート電極14直下に逆三角形形状に形成する（図3（a））。この高濃度層18によりソース/ドレイン拡散層からの空乏層の伸びが抑制されゲート長縮小に伴う V_{th} の低下を防ぐことができる。

【0016】次に n^+ 型のソース/ドレイン拡散層16を例えば As^+ を注入量 $1 \times 10^{14} \text{ ions/cm}^2$ 、加速電圧45 KeVでSi基板11内に垂直にイオン注入することにより形成する（図3（b））。

【0017】次に、Si基板11上に、CVD法により SiO_2 膜を500オングストロームの厚さに形成し、RIEなどの異方性エッチングを行うことにより、ゲート電極14の側壁部に SiO_2 膜からなるサイドウォールスペース15を形成する（図4（a））。

【0018】次に、このサイドウォールスペース15及びゲート電極14をマスクとして、 n^+ 型のソース/ドレイン拡散層17を、例えば As^+ イオンを注入量 $5 \times 10^{11} \text{ ions/cm}^2$ 、加速電圧40 KeVでSi基板11内に垂直に注入することにより形成する。ここで、図5は本発明における高濃度層の基板上での分布を示す図であり、図5（a）は図6に点線で示したD-D'方向への基板不純物濃度を示している。基板の深い部分では基板不純物濃度は従来どおりに保たれ、チャネル領域の中央部分のみ基板の不純物濃度が高くなっている。また、図5（b）は図6に点線で示したA-A'、B-B'、C-C'での基板不純物濃度を示している。ソース/ドレイン拡散層の深さ方向に沿って、高濃度層の幅は狭くなっている。

【0019】この様にチャネル層付近のみの基板不純物濃度が高くなるような高濃度層を形成することにより、基板バイアス効果による V_{th} の変動を小さくおさえながら、パンチスルーを効果的に抑制することができる。

【0020】以下の工程は図示しないが、通常のMOSトランジスタの製造方法と同様に層間絶縁膜を形成し、コンタクト孔を開孔し、金属配線を形成することにより、MOS型トランジスタを形成する。

（実施例2）本発明の第2の実施例の製造工程を説明する。

【0021】第1の実施例と同様にゲート電極14を形成した後（図2（b））、 n^+ 型のソース/ドレイン拡散層16を例えば As^+ を注入量 $1 \times 10^{14} \text{ ions/cm}^2$

5

め、加速電圧45 KeVでSi基板11内に垂直にイオン注入することにより形成する。次にCVD法によりSiO₂膜を形成し、RIEによりパターニングして、サイドウォールスペース15を形成する(図7

(a))。

【0022】このサイドウォールスペース15及びゲート電極14をマスクとして、例えばB⁺イオンを注入量 1×10^{13} ions/cm²、加速電圧100 KeVでゲート電極及びサイドウォール周囲から斜めにSi基板内に注入することにより、基板と同じ導電型の不純物高濃度層18をゲート電極14直下に円状に形成する(図7

(b))。この高濃度層18によりソース/ドレイン拡散層からの空乏層の伸びが抑制され、ゲート長縮小に伴うV_{th}の低下が生じなくなる。

【0023】以下、図示しないが実施例1と同様の条件でAs⁺のイオン注入を行うことにより、Si基板11内にn⁺型のソース/ドレイン拡散層17を形成する(図8)。

【0024】本実施例では、第1の実施例と比べサイドウォールの幅分、イオン注入の際のマスクの幅が広くな

る。このため、高濃度層の形状はだ円状となりチャンネル方向の幅がより短くなる。この形状の高濃度層は特に微細なトランジスタの形成に有効である。

(実施例3) 本発明の第3の実施例の製造工程を説明する。本実施例では逆三角形状、あるいはだ円状の高濃度層を形成するのに、イオンの斜め注入を行わず、イオン注入後の熱拡散を行う。

【0025】第1の実施例と同様にゲート電極14を形成した後(図2(b))、このゲート電極14をマスクとして、例えばB⁺イオンを注入量 1×10^{13} ions/cm²、加速電圧100 KeVでSi基板11内に垂直に注入する(図9(a))。次に、850℃で100~200 min熱処理を行うことにより、不純物イオンを拡散させ、逆三角形状の高濃度層18を形成する(図9

(b))。

【0026】次に、n⁺型のソース/ドレイン拡散層16を例えばAs⁺を注入量 1×10^{13} ions/cm²、加速電圧45 KeVでSi基板11内に垂直にイオン注入することにより形成する(図3(b))。

【0027】次に、Si基板11上に、CVD法によりSiO₂膜を500オングストロームの厚さに形成し、RIEなどの異方性エッチングを行うことにより、ゲート電極14の側壁部にSiO₂膜からなるサイドウォールスペース15を形成する(図4(a))。

【0028】次に、このサイドウォールスペース15及びゲート電極14をマスクとして、n⁺型のソース/ドレイン拡散層17を、例えばAs⁺イオンを注入量 5×10^{13} ions/cm²、加速電圧40 KeVでSi基板11内に垂直に注入することにより形成する。

【0029】尚、上述のB⁺イオンの注入及び拡散のた

6

めの熱処理はサイドウォールスペース形成後に行っても良い。その場合、高濃度層18の形状はだ円に近くなりチャンネル方向の幅も狭くなる。

【0030】以下の工程は図示しないが、通常のMOSトランジスタの製造方法と同様に層間絶縁膜を形成し、コンタクト孔を開孔し、金属配線を形成することにより、MOS型トランジスタを形成する。

【0031】以上の実施例は、Nチャンネル型のトランジスタへの適用例であるが、Pチャンネル型トランジスタにも同様に適用することができる。その際には、基板表面付近の導電型はN型となり、本実施例中のBを例えばPまたはAsに、Asを例えばBまたはBF₃に変えれば良い。

【0032】

【発明の効果】以上説明したように、本発明によれば不純物高濃度層をゲート電極直下に基板の深さ方向に沿って狭くなるように形成するため、基板の不純物濃度を不必要に増加させることなく、パンチスルーの抑制と同時に基板バイアス効果によるV_{th}の変動も抑制することができる。

【0033】また、この高濃度層はゲート電極形成後に形成するため、高濃度層とゲート電極との位置のずれが生じにくく、トランジスタのV_{th}のばらつきを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置を示す構造断面図。

【図2】 本発明の第1の実施例を示す製造工程図。

【図3】 本発明の第1の実施例を示す製造工程図。

【図4】 本発明の第1の実施例を示す製造工程図。

【図5】 本発明の半導体装置における高濃度層の分布を示す図。

【図6】 図5に示した高濃度層分布の位置を示す図。

【図7】 本発明の第2の実施例を示す製造工程図。

【図8】 本発明の第2の実施例を示す製造工程図。

【図9】 本発明の第3の実施例を示す製造工程図。

【図10】 従来のLDD構造のMOS型トランジスタを示す構造断面図。

【図11】 従来のMOS型トランジスタにおけるパンチスルー防止のための高濃度層形成例を示す図。

【図12】 従来のMOS型トランジスタにおけるパンチスルー防止のための高濃度層形成例を示す図。

【符号の説明】

11…半導体基板

12…フィールド酸化膜

13…ゲート絶縁膜

14…ゲート電極

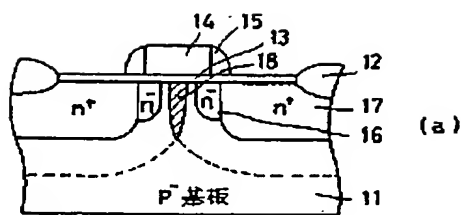
15…サイドウォールスペース

16…n⁺型ソース/ドレイン拡散層

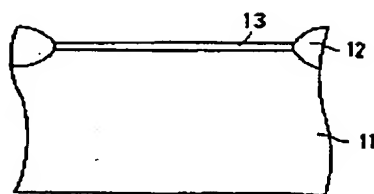
17…n⁺型ソース/ドレイン拡散層

18…高濃度層

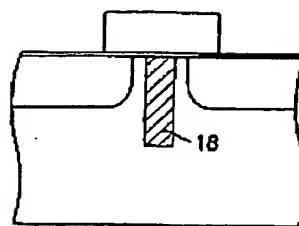
【図1】



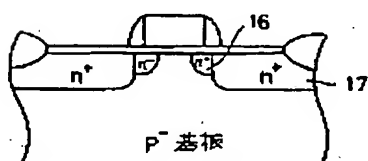
【図2】



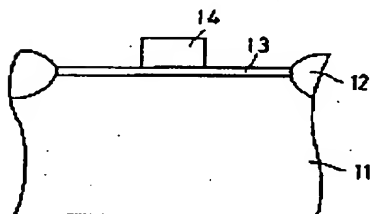
【図12】



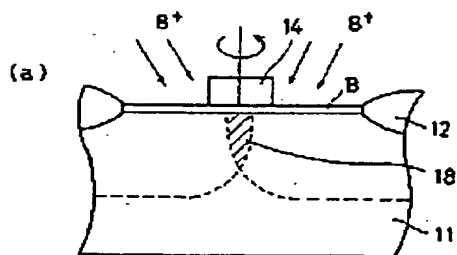
【図10】



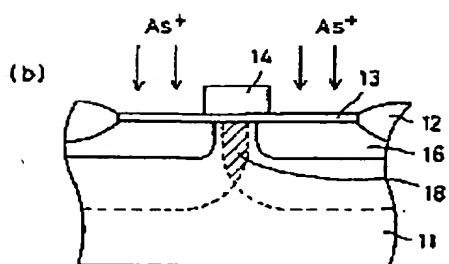
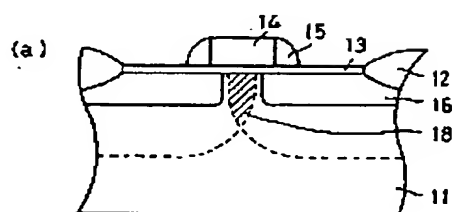
(b)



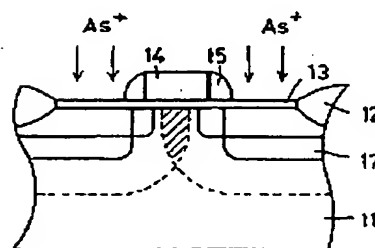
【図3】



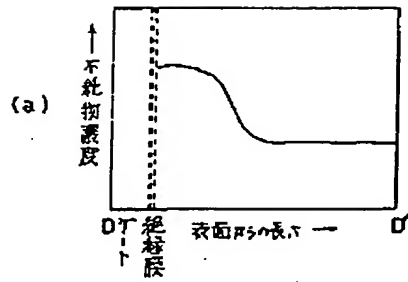
【図4】



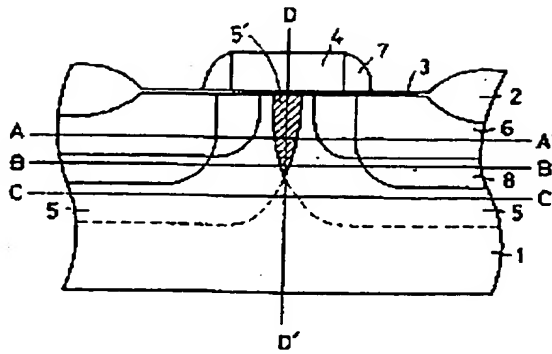
(b)



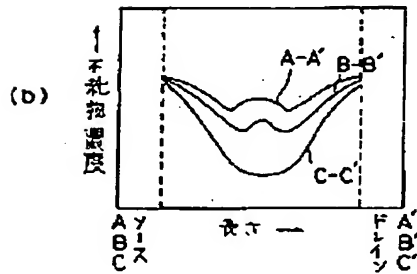
【図5】



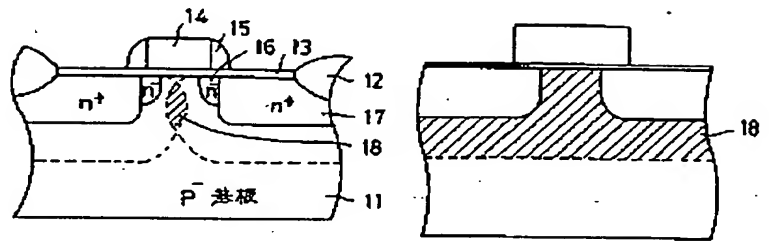
【図6】



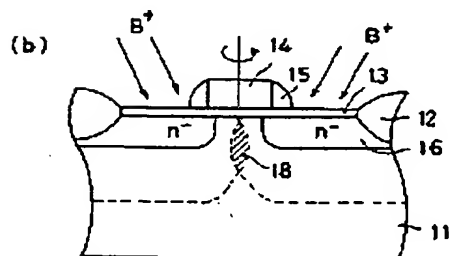
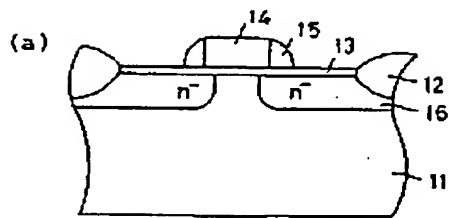
【図8】



【図11】



【図7】



【図9】

